

(11)Publication number : 09-073475  
(43)Date of publication of application : 18.03.1997

G06F 17/50

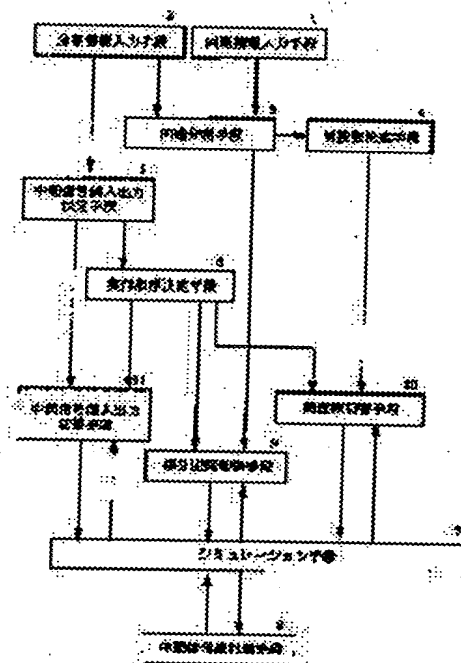
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(72)Inventor : TANAKA MASAKAZU  
IGAWA SATOSHI

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To shorten the time required for unnecessary simulation by performing simulation with necessary clock frequencies by divided partial circuits.

**SOLUTION:** A circuit dividing means 3 divides the whole circuit into the partial circuits. Then a frequency determining means 4 calculates frequencies for the divided partial parts. The frequencies are found by calculating the least common multiple of all operating clock frequencies in circuit information on the partial circuits. Then an intermediate signal value input/output means 5 extracts information on input/output signals of the partial circuits. Then an execution order determining means 6 determines the execution order of the partial circuits. Further, a partial circuit switching means 9, a frequency switching means 10, and an intermediate signal value input/output switching means 11 pass specific information to a simulation means 7 at 1st simulation time and simulation is performed there, so that the result is stored in an intermediate signal value storage means 8.



[Date of request for examination]	09.06.1998
[Date of sending the examiner's decision of rejection]	12.12.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3186535
[Date of registration]	11.05.2001
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa19520DA409073475P1....> 2003/01/08

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-73475

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl.<sup>6</sup>  
G06F 17/50

識別記号

F I  
G06F 15/60

664 L  
670

審査請求 未請求 請求項の数6 O L (全18頁)

(21)出願番号 特願平7-227694

(22)出願日 平成7年(1995)9月5日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 田中 正和

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 井川 智

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

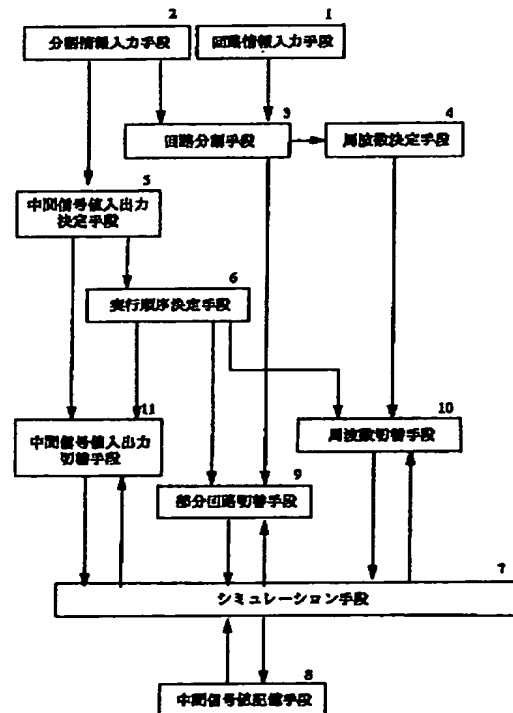
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 シミュレーション装置

(57)【要約】

【目的】 サイクルベース法によるデジタル論理回路のシミュレーション装置において、クロック信号が変化しないサイクル、すなわち回路の信号値が変化しないサイクルがある場合のシミュレーション速度の向上を図る。

【構成】 回路全体を動作クロックの種類毎に部分回路に分割し、この部分回路毎にそれぞれのクロック周波数で順次シミュレーションを行う。



## 【特許請求の範囲】

【請求項 1】分割された部分回路の回路情報と前記部分回路のシミュレーションの実行順序情報とに基づきシミュレーションの対象となる部分回路を切り替える部分回路切替手段と、

前記実行順序情報と部分回路に対する模擬周波数情報とに基づきシミュレーションの対象となる模擬周波数を切り替える周波数切替手段と、

前記実行順序情報と分割された地点における中間信号値の入出力情報とに基づきシミュレーションの対象となる入出力信号を切り替える中間信号値入出力切替手段と、中間信号値を一時的に記憶する中間信号値記憶手段と、前記部分回路切替手段と周波数切替手段と中間信号値入出力切替手段とにより切り替えられた部分回路情報に基づき部分回路の模擬を行なうシミュレーション手段とを有し、

回路分割手段により回路を同系統のクロックで動作する部分回路に分割し、

前記部分回路切替手段と周波数切替手段と中間信号値入出力切替手段とにおいて、それぞれの部分回路の対象となる回路情報とクロック周波数と入出力信号とをシミュレーションのたびに順次切り替えながら、

分割地点におけるシミュレーション結果の信号値を前記中間信号値記憶手段に対して書き込みや読み出しを行なうとともに、

分割された回路ごとに順次シミュレーションを行なうことを特徴とするシミュレーション装置。

【請求項 2】周波数情報とテストベクタからそれぞれの部分回路の周波数に対応するテストベクタを生成するテストベクタ変換手段と、

実行順序情報と前記テストベクタ変換手段により生成された部分回路ごとのテストベクタ情報とに基づきシミュレーションの対象となるテストベクタを切り替えるテストベクタ切替手段とを有し、

前記テストベクタ変換手段により部分回路ごとに異なるクロック周波数に対応するテストベクタを生成し、

前記テストベクタ切替手段においてそれぞれの部分回路のシミュレーションのたびにテストベクタを切り替えて順次シミュレーションを行なうことを特徴とする請求項 1 のシミュレーション装置。

【請求項 3】中間信号値記憶手段に記憶されたシミュレーション結果データの周波数を変換する中間信号値周波数変換手段と、

実行順序情報と部分回路ごとの周波数情報と中間信号値入出力情報とに基づき中間信号値周波数変換の対象となる周波数比と中間信号とを切り替える中間信号値周波数変換切替手段とを有し、

前記中間信号値周波数変換切替手段において、それぞれの部分回路のシミュレーションが終わるごとに書き出しと読み込みとでクロック周波数が異なる中間信号に対し

て中間信号と前記中間信号に対応するクロック周波数比とを変換が必要なタイミングで切り替えるとともに、前記中間信号値周波数変換手段において前記中間信号値記憶手段に記憶された中間信号値の周波数変換を行ないながら、分割された回路ごとに順次シミュレーションを行なうことを特徴とする請求項 1 のシミュレーション装置。

【請求項 4】分割された部分回路の回路情報と前記部分回路のシミュレーションの実行順序情報と部分回路に対する模擬周波数情報と分割された地点における中間信号値の入出力情報とを用いてシミュレーション手段を起動するための命令列を生成するシミュレーション命令列生成手段と、

前記シミュレーション命令列生成手段により生成された命令列に基づき部分回路の模擬を行なうシミュレーション手段とを有し、

回路分割手段により回路を同系統のクロックで動作する部分回路に分割し、

前記シミュレーション命令列生成手段においてそれぞれの部分回路の対象となる回路情報とクロック周波数と入出力信号とを用いてシミュレーション手段を起動する命令を順次生成し、

分割地点におけるシミュレーション結果の信号値を前記中間信号値記憶手段に対して書き込みや読み出しを行なうとともに、

分割された回路ごとに順次シミュレーションを行なうことを特徴とするシミュレーション装置。

【請求項 5】テストベクタを入力するテストベクタ入力手段と、

30 周波数情報とテストベクタからそれぞれの部分回路の周波数に対応するテストベクタを生成するテストベクタ変換手段とを有し、

前記テストベクタ変換手段により部分回路ごとに異なるクロック周波数に対応するテストベクタを生成し、

シミュレーション命令列生成手段においてそれぞれの部分回路に対応するテストベクタを指定したシミュレーション命令列を作成しておき、分割された回路ごとに順次シミュレーションを行なうことを特徴とする請求項 4 のシミュレーション装置。

40 【請求項 6】中間信号値記憶手段に記憶されたシミュレーション結果データの周波数を変換する中間信号値周波数変換手段と、

実行順序情報と部分回路ごとの周波数情報と中間信号値入出力情報とに基づき中間信号値周波数変換の対象となる信号ごとに周波数比と中間信号とを設定する中間信号値周波数変換設定手段とを有し、

シミュレーションおよび周波数変換命令列生成手段において、それぞれの部分回路のシミュレーションの命令列と書き出しと読み込みとでクロック周波数が異なる中間信号の周波数変換の命令列とを作成しておき、

前記中間信号値周波数変換手段において前記中間信号値記憶手段に記憶された中間信号値の周波数変換を行ないながら、分割された回路ごとに順次シミュレーションを行なうことを特徴とする請求項 4 のシミュレーション装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はコンピュータ等において、デジタル論理回路の動作を模擬するシミュレーション装置に関するものである。

【0002】

【従来の技術】従来、デジタル電子機器等の設計における欠陥の発見を目的として、コンピュータに入力されたデジタル電子機器回路の論理回路データを基に、その動作をシミュレーションするというのが行なわれている。

【0003】そして、このシミュレーション実行を高速度化することを目的として、例えば日経エレクトロニクス 1993 年 6 月 7 日号 (no. 582), pp. 66-67 にあるように、サイクルベース法を採用したシミュレーション装置が増えつつある。

【0004】サイクルベース法を採用したシミュレーション装置では、回路に与えられるクロックの 1 周期を 1 サイクル時間とし、サイクル時間毎に回路全体の信号値の計算を行なう。図 21 はサイクルベース法を説明するためのタイミング図である。クロックの立ち上がりエッジ間を一つのサイクルとし、クロックの立ち上がりエッジのタイミングで回路全体の信号値の計算を行なう。シミュレーション時刻はサイクル時間づつ進む。シミュレーション時刻を進めては、回路全体の信号値の計算を行なうということを繰り返すことで、回路の動作をシミュレーションする。

【0005】図 22 のタイミング図に示す様に、回路に対して、周波数の異なる複数のクロック  $ck1 \sim ck3$  が与えられている場合には、各クロック  $ck1 \sim ck3$  の周波数の最小公倍数を周波数とするクロック  $ckm$  を仮定し、このクロック  $ckm$  の 1 周期をサイクル時間とする。そしてこのサイクル時間分シミュレーション時刻を進めては、回路全体の信号値の計算を行なうという繰り返しでシミュレーションを行なう。

【0006】

【発明が解決しようとする課題】しかしながら上記のようなシミュレーション装置では、回路に与えられる複数のクロックの周波数の最小公倍数がもとのクロックの周波数に比べて大きい場合、サイクル時間はクロックの周期に比べ非常に小さな値となる。この場合、シミュレーション時刻は小刻みに進み、その都度回路全体の信号値の計算が行なわれる訳であるが、回路に与えられているクロックの周期に比べ、サイクル時間が小さい値であるために、与えられているいずれのクロックの信号値にも

変化がない、すなわち回路中の信号値も変化しないサイクルが多数発生する。にもかかわらず、全サイクルにおいて全回路中の信号値の計算を行なうため、シミュレーションに多くの時間を要するという課題を有していた。

【0007】本発明は上記課題に鑑み、信号の流れに沿って回路全体を同系統のクロックで動作する部分回路に分割し部分回路ごとに各々のクロック周波数で順次シミュレーションすることにより、短時間でシミュレーションすることのできるシミュレーション装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するために本発明のシミュレーション装置は、回路情報と分割情報から部分回路に分割する回路分割手段と、前記部分回路に対応するクロック周波数を決定する周波数決定手段と、実行順序決定手段により生成された実行順序情報と前記回路分割手段により生成された部分回路情報とに基づきシミュレーションの対象となる部分回路を切り替える部分回路切替手段と、前記実行順序情報と前記周波数決定手段により決定された部分回路ごとの模擬周波数情報とに基づきシミュレーションの対象となる模擬周波数を切り替える周波数切替手段と、前記実行順序情報と中間信号値入出力設定手段により設定された中間信号値入出力情報とに基づきシミュレーションの対象となる入出力信号を切り替える中間信号値入出力切替手段と、中間信号値を一時的に記憶する中間信号値記憶手段とを備えたものである。

【0009】また、他の発明におけるシミュレーション装置は、回路情報と分割情報から部分回路に分割する回路分割手段と、部分回路の回路情報から前記部分回路を模擬する順序を決定する実行順序決定手段と、前記実行順序決定手段により生成された実行順序情報に基づき前記回路分割手段により生成された部分回路情報と周波数決定手段により決定された部分回路ごとの模擬周波数情報と前記中間信号値入出力設定手段により設定された中間信号値入出力情報とを用いてシミュレーション手段を起動するための命令列を生成するシミュレーション命令列生成手段と、中間信号値を一時的に記憶する中間信号値記憶手段とを備えたものである。

【0010】

【作用】本発明は上記した構成によって、信号の流れに沿って回路全体を同系統のクロック周波数で動作する部分回路に分割し、それぞれの部分回路を個別のクロック周波数で順次シミュレーションを行なうことにより、計算に要する時間を短縮することができる。

【0011】また、テストベクタがある場合は、テストベクタ変換手段により、それぞれの部分回路をシミュレーションする周波数のテストベクタに変換することができる。

【0012】また、中間信号値周波数変換手段により、

10

20

30

40

50

異なるクロック周波数で動作する部分回路間の中間信号の周波数変換を行う。これにより、異なるクロック周波数で動作する部分回路間の中間信号の受け渡しをすることができる。

【0013】

【実施例】

(実施例1) 以下、本発明の第1の実施例として、デジタル信号処理回路のシミュレーション装置について説明する。

【0014】図1は本実施例のシミュレーション装置の構成を示すものである。図1において、1は回路情報を読み込む回路情報入力手段であって、設計された回路の要素情報と接続情報をネットリストなどの形式で読み込む手段である。

【0015】2は同系統のクロック周波数で動作する部分回路ごとに回路が分割される様な分割情報を読み込む分割情報入力手段であって、分割地点のネット名などで指定される。

【0016】3は前記回路情報と分割情報から全体回路を部分回路に分割する回路分割手段であって、回路情報と分割情報とから分割されたそれぞれの部分回路の回路情報を生成する。

【0017】4は前記部分回路に対応するクロック周波数を決定する周波数決定手段であって、分割されたそれぞれの回路情報の中で動作するクロック周波数の最小公倍数となる周波数を決定する。

【0018】5は前記分割情報から前記部分回路に対応する分割地点における信号値の書き込みや読み出しを行なう信号を決定する中間信号値入出力決定手段であって、各々の部分回路の入出力信号値を読み書きするファイル名などの情報を決定する。

【0019】6は中間信号値入出力情報から前記部分回路を模擬する順序を決定する実行順序決定手段であって、分割された部分回路における信号の流れの前後関係などによりそれぞれの部分回路のシミュレーションを行なう順序を決定する。

【0020】7は前記シミュレーション命令列生成手段により生成された命令列に基づき部分回路の模擬を行なうシミュレーション手段であって、従来手法のサイクルベースシミュレータで実現される。

【0021】8は中間信号値を一時的に記憶する中間信号値記憶手段であって、磁気ディスクなどで実現される。これは、中間信号におけるシミュレーション結果を保存し、また保存された信号を入力とする部分回路のシミュレーションにおいて、その信号値は読み出される。

【0022】9は前記実行順序決定手段により生成された実行順序情報と前記回路分割手段により生成された部分回路情報とに基づきシミュレーションの対象となる部分回路を切り替える部分回路切替手段であって、一つの部分回路のシミュレーションが終るごとに、実行順序情

報に基づいて分割された部分回路を切り替える働きをする。

【0023】10は前記実行順序情報と前記周波数決定手段により決定された部分回路ごとの模擬周波数情報とに基づきシミュレーションの対象となる模擬周波数を切り替える周波数切替手段であって、一つの部分回路のシミュレーションが終るごとに、実行順序情報に基づいて分割された部分回路の周波数を切り替える働きをする。

【0024】11は前記実行順序情報と前記中間信号値入出力設定手段により設定された中間信号値入出力情報とに基づきシミュレーションの対象となる入出力信号を切り替える中間信号値入出力切替手段であって、一つの部分回路のシミュレーションが終るごとに、実行順序情報に基づいて分割された部分回路の中間入出力情報を切り替える働きをする。

【0025】続いて、本実施例の動作を説明する。まず、図2は実施例の動作例において用いる回路である。

【0026】I1~I5は回路を構成する各部品の部品識別子である。部品I1, I2, I3, I4, I5の各部品の部品名は各々DFF, DFF, CP, AD, DFFである。

【0027】部品名DFFの部品はピン名が各々d, qの2つのピンを持っている。部品名ADの部品はピン名が各々a, b, oの3つのピンを持っている。

【0028】P1~P3は各々外部端子IN1, IN2, OUTである。N1~N6は各部品のピンを結ぶ各ネットのネット識別子である。

【0029】ネットN1は外部端子P1と部品I1のピンdとを結んでいる。ネットN2は外部端子P2と部品I2のピンdとを結んでいる。

【0030】ネットN3は部品I1のピンqと部品I3のピンaとを結んでいる。ネットN4は部品I2のピンqと部品I3のピンbとを結んでいる。

【0031】ネットN5は部品I3のピンoと部品I4のピンaとを結んでいる。ネットN6は部品I4のピンoと部品I5のピンdとを結んでいる。

【0032】ネットN7は部品I5のピンqと部品I4のピンbと外部端子P3とを結んでいる。部品I1, I2の動作クロック周波数は10MHzである。

【0033】部品I5の動作クロック周波数は40MHzである。次に、図3は回路情報の例であり、図2の回路図に対応している。各々の部品ごとに、部品名、接続関係などの情報が記されている。この情報は回路情報入力手段より読み込まれる(ステップS1-1)。

【0034】次に、分割情報入力手段より分割の情報を読み込む。分割情報は、分割地点のネット名を指定する方法で表される(ステップS1-2)。

【0035】次に、回路分割手段により回路全体を部分回路に分割する。分割には、ユーザに指定された分割地点のネット名以外のネットで接続する部分を一つの部分回路とするなどの方法を用いる。本実施例ではネットN5

で分割する様に指定した場合、N6,N7に接続する部品I4,I5で一つの部分回路が決定され、N1~N4に接続する部品I1~I3で他の部分回路が決定される(ステップS1-3)。

【0036】図4は、回路全体を二つの部分回路に分割した場合の回路情報のデータ構造の例である。

【0037】NETLIST1~2は各々の部分回路の回路情報を示している。NETLIST1には部品I4とI5とが含まれている。

【0038】NETLIST2には部品I1とI2とI3とが含まれている。次に、周波数決定手段により生成されたそれぞれの部分回路に対する周波数を計算する。部分回路の周波数は、部分回路の回路情報内のすべての動作クロック周波数の最小公倍数となる周波数を計算することにより求められる(ステップS1-4)。

【0039】図5は、各々の部分回路に対する周波数情報のデータ構造の例である。NETLIST1をシミュレーションするクロック周波数は40MHzであることを示している。

【0040】NETLIST2をシミュレーションするクロック周波数は10MHzであることを示している。

【0041】次に、中間信号値入出力決定手段により部分回路の入出力信号の情報を抽出する(ステップS1-5)。

【0042】図6は、それぞれの部分回路に対する中間信号値入出力情報のデータ構造の例である。

【0043】NETLIST1の入力信号はN5であり出力信号はN7であることを示している。信号値N7の中間信号値記憶手段における記憶場所は/usr/data/N7であり、書き込み周波数は40MHzであることを示している。

【0044】NETLIST2の入力信号はN1とN2であり出力信号はN5であることを示している。信号値N5の中間信号値記憶手段における記憶場所は/usr/data/N5であり、書き込み周波数は10MHzであることを示している。

【0045】次に、実行順序決定手段により部分回路の実行順序を決定する(ステップS1-6)。

【0046】実行順序の決定は、部分回路の入出力信号の前後関係などにより決定する。本実施例では、NETLIST1の入力信号N5がNETLIST2の出力信号となっているためNETLIST1はNETLIST2よりも後の順序がつけられる。

【0047】図7は、部分回路の実行順序情報のデータ構造の例である。順序1で実行するのはNETLIST2であることを示している。

【0048】順序2で実行するのはNETLIST1であることを示している。次に、部分回路切替手段と周波数切替手段と中間信号値入出力切替手段により最初のシミュレーション時にはNETLIST2およびクロック周波数10MHzおよび入力信号N1,N2出力信号N5という情報がシミュレーション手段に渡される(ステップS1-7)。

【0049】次に、シミュレーション手段によりシミュレーションを行ない出力信号であるN5の値が中間記憶手

段に記憶される(ステップS1-8)。

——【0050】すべての部分回路のシミュレーションが終るまでステップS1-7とステップS1-8とを繰り返すことによりすべての信号のシミュレーションが実現され出力信号値を得ることができる。

【0051】本実施例では、NETLIST1およびクロック周波数40MHzおよび出力信号N7という情報とがシミュレーション手段に渡され、これと最初のシミュレーション結果であるN5の値から次のシミュレーションを行ない出力信号であるN7の値を計算することができる。

【0052】従来の技術では、回路全体を40MHzでシミュレーションしなければならないため、部品I1~I3を10MHzでシミュレーションした本発明に比べて余分な計算を必要としている。

【0053】(実施例2)以下、本発明の第2の実施例について説明する。

【0054】図8は本実施例のシミュレーション装置の構成を示すものである。図8において、13はテストベクタを読み込むテストベクタ入力手段であって、設計された回路のテストボタンを読み込む手段である。

【0055】14は各々の部分回路に対応するテストベクタを生成するテストベクタ変換手段であって、周波数情報に基づいてテストベクタの周波数変換を行なう。

【0056】15は実行順序決定手段により生成された実行順序情報と前記テストベクタ変換手段により生成されたテストベクタ情報とに基づきシミュレーションの対象となるテストベクタを切り替えるテストベクタ切替手段であって、一つの部分回路のシミュレーションが終るごとに、実行順序情報に基づいて変換されたテストベクタを切り替える働きをする。

【0057】続いて、本実施例の動作を説明する。まず、テストベクタ入力手段においてテストベクタを読み込む(ステップS2-1)。

【0058】図9は、テストベクタの例である。外部ピンIN1は初期値として0が設定されている。

【0059】外部ピンIN2は初期値として0が設定されている。外部ピンIN1は100クロック目に値が1に変更されている。

【0060】外部ピンIN2は200クロック目に値が1に変更されている。外部ピンIN1は300クロック目に値が0に変更されている。

【0061】外部ピンIN2は400クロック目に値が0に変更されている。シミュレーションはクロック数500だけ行なうことが設定されている。

【0062】次に、テストベクタ変換手段においてテストベクタ入力手段により読み込まれたテストベクタから各々の部分回路の周波数に対応するテストベクタへの変換を行なう。テストベクタ変換は、シミュレーションの実行クロック数や信号値を変更するクロック数などを変換することにより行なわれ、テストベクタとして指定さ

れたクロック数に部分回路のクロック周波数と入力されたテストベクタのクロック周波数との比を掛け合わせるにより実現できる。

【0063】また、このとき各々の部分回路の入力でない信号値に関するテストベクタは削除してもよい（ステップS2-2）。

【0064】図10は、変更されたテストベクタの例である。TESTVECTOR1はNETLIST1に対応するテストベクタである。

【0065】TESTVECTOR2はNETLIST2に対応するテストベクタである。TESTVECTOR1では、NETLIST1の入力ピンにはIN1およびIN2はないため削除されている。周波数比は1であるため実行クロック数はそのままの値が設定されている。

【0066】TESTVECTOR2では、NETLIST2の入力ピンにはIN1およびIN2が含まれている。周波数比は1/4であるため、信号値を変更するクロック数および実行クロック数はそれぞれ1/4となっている。

【0067】次に、変換されたテストベクタを用いてステップS1-1～ステップS1-8を実行することにより回路全体をシミュレーションでき、出力信号を得ることができる（ステップS2-3）。

【0068】（実施例3）以下、本発明の第3の実施例について説明する。

【0069】図11は本実施例のシミュレーション装置の構成を示すものである。図11において、16は中間信号値記憶手段に記憶された中間信号値の周波数変換を行ない再び中間信号値記憶手段に書き込む中間信号値周波数変換手段であって、シミュレーション結果である中間信号値の周波数変換を行なうことによりシステムの異なるクロック周波数を用いる部分回路間の中間信号値をつなげる手段である。

【0070】17は実行順序情報と中間信号値入出力情報と周波数情報とに基づき中間信号値変換手段の対象となる周波数比と中間信号を切り替える中間信号値周波数変換切替手段であって、一つの部分回路のシミュレーションが終了すると、周波数変換状態に切り替わり、すべての周波数変換が終わった後シミュレーション状態に切り替わる働きをする。また、周波数変換状態では次のシミュレーションに必要な中間信号値の内必要な周波数変換を行なうよう中間信号と周波数比を順次切り替える働きをする。

【0071】続いて、本実施例の動作を説明する。まず、図12は、実施例の動作例において用いる回路である。

【0072】I1～I5は回路を構成する各部品の部品識別子である。部品I1, I2, I3, I4, I5の各部品の部品名は各々DFF, DFF, CP, AD, DFFである。

【0073】部品名DFFの部品はピン名が各々d, qの2つのピンを持っている。部品名ADの部品はピン名が各々a,

b, oの3つのピンを持っている。

【0074】P1～P3は各々外部端子IN1, IN2, OUTである。N1～N6は各部品のピンを結ぶ各ネットのネット識別子である。

【0075】ネットN1は外部端子P1と部品I1のピンdとを結んでいる。ネットN2は外部端子P2と部品I2のピンdとを結んでいる。

【0076】ネットN3は部品I1のピンqと部品I3のピンaとを結んでいる。ネットN4は部品I2のピンqと部品I3のピンbとを結んでいる。

【0077】ネットN5は部品I3のピンoと部品I4のピンaとを結んでいる。ネットN6は部品I4のピンoと部品I5のピンdとを結んでいる。

【0078】ネットN7は部品I5のピンqと部品I4のピンbと外部端子P3とを結んでいる。部品I1, I2の動作クロック周波数は10MHzである。

【0079】部品I5の動作クロック周波数は25MHzである。次に、ステップS1-1～ステップS1-6を実行することによりシミュレーションの前処理を行なう（ステップS3-1）。

【0080】次に、部分回路切替手段と周波数切替手段と中間信号値入出力切替手段により、NETLIST2およびクロック周波数10MHzおよび入力信号N1, N2出力信号N5という情報がシミュレーション手段に渡される（ステップS3-2）。

【0081】シミュレーション手段によりシミュレーションを行ない出力信号であるN5の値がクロック周波数10MHzにおいて中間記憶手段に記憶される（ステップS3-3）。

【0082】中間信号値周波数変換切り替え手段により、フラグを周波数変換状態とし信号名N5および周波数比10MHz/25MHzという情報が中間信号値周波数変換手段に渡される（ステップS3-4）。

【0083】中間信号値周波数変換手段において、N5の信号値の周波数変換を行なう。周波数変換は、読み込みデータ用時刻カウンタと書き込みデータ用時刻カウンタとを用意し、カウンタの時刻を比較しながら読み込みまたは書き込みを繰り返すなどの手法により実現できる（ステップS3-5）。

【0084】図13は周波数変換前と変換後のデータ構造の例である。信号N5の10MHzおきの信号値が、30, 0, 1, 5, 3, 8, 26...であることを示している。

【0085】信号N5の25MHzおきの信号値が、30, 30, 0, 0, 0, 15, 15, 3...であることを示している。

【0086】周波数変換すべき信号が複数ある場合は、ステップS3-3とステップS3-3を繰り返す。すべての周波数変換を終了した後にフラグをシミュレーション状態とする（ステップS3-6）。

【0087】すべての部分回路のシミュレーションが終わるまでステップS3-2～ステップS3-6とを繰り返すことに

10

20

30

40

50

よりすべての信号のシミュレーションが実現され出力信号値を得ることができる。本実施例では、NETLIST1およびクロック周波数25MHzおよび出力信号N7という情報とがシミュレーション手段に渡され、これと最初のシミュレーション結果であるN5の値から次のシミュレーションを行ない出力信号であるN7の値を計算することができる。

【0088】従来の技術では、回路全体を50MHzでシミュレーションしなければならないため、部品I4～I5を25MHzでまた部品I1～I3を10MHzでシミュレーションする本発明に比べて余分な計算を必要としている。

【0089】（実施例4）以下、本発明の特許請求第4項の一実施例について説明する。

【0090】図14は本発明の実施例のシミュレーション装置の構成を示すものである。図14において、1は回路情報を読み込む回路情報入力手段であって、設計された回路の要素情報と接続情報をネットリストなどの形式で読み込む手段である。

【0091】2は同系統のクロック周波数で動作する部分回路ごとに回路が分割される様な分割情報を読み込む分割情報入力手段であって、分割地点のネット名などで指定される。

【0092】3は前記回路情報と分割情報から全体回路を部分回路に分割する回路分割手段であって、回路情報と分割情報とから分割されたそれぞれの部分回路の回路情報を生成する。

【0093】4は前記部分回路に対応するクロック周波数を決定する周波数決定手段であって、分割されたそれぞれの回路情報の中で動作するクロック周波数の最小公倍数となる周波数を決定する。

【0094】5は前記分割情報から前記部分回路に対応する分割地点における信号値の書き込みや読み出しを行なう信号を決定する中間信号値入出力決定手段であって、各々の部分回路の入出力信号値を読み書きするファイル名などの情報を決定する。

【0095】6は中間信号値入出力情報から前記部分回路を模擬する順序を決定する実行順序決定手段であって、分割された部分回路における信号の流れの前後関係などによりそれぞれの部分回路のシミュレーションを行なう順序を決定する。

【0096】7は前記シミュレーション命令列生成手段により生成された命令列に基づき部分回路の模擬を行なうシミュレーション手段であって、従来手法のサイクルベースシミュレータで実現される。

【0097】8は中間信号値を一時的に記憶する中間信号値記憶手段であって、磁気ディスクなどで実現される。これは、中間信号におけるシミュレーション結果を保存し、また保存された信号を入力とする部分回路のシミュレーションにおいて、その信号値は読み出される。

【0098】12はシミュレーション命令列生成手段で

あって、前記実行順序決定手段により生成された実行順序情報と前記回路分割手段により生成された部分回路情報と前記周波数決定手段により決定された部分回路ごとの模擬周波数情報と前記中間信号値入出力設定手段により設定された中間信号値入出力情報とに基づき、シミュレーションの対象となる部分回路と模擬周波数と中間信号値入出力情報とをシミュレーション手段に与えるシミュレーション命令列を生成する働きをする。

【0099】続いて、本実施例の動作を説明する。図2は、実施例の動作例において用いる回路である。

【0100】I1～I5は回路を構成する各部品の部品識別子である。部品I1, I2, I3, I4, I5の各部品の部品名は各々DFF, DFF, CP, AD, DFFである。

【0101】部品名DFFの部品はピン名が各々d, qの2つのピンを持っている。部品名ADの部品はピン名が各々a, b, oの3つのピンを持っている。

【0102】P1～P3は各々外部端子IN1, IN2, OUTである。N1～N6は各部品のピンを結ぶ各ネットのネット識別子である。

【0103】ネットN1は外部端子P1と部品I1のピンdとを結んでいる。ネットN2は外部端子P2と部品I2のピンdとを結んでいる。

【0104】ネットN3は部品I1のピンqと部品I3のピンaとを結んでいる。ネットN4は部品I2のピンqと部品I3のピンbとを結んでいる。

【0105】ネットN5は部品I3のピンoと部品I4のピンaとを結んでいる。ネットN6は部品I4のピンoと部品I5のピンdとを結んでいる。

【0106】ネットN7は部品I5のピンqと部品I4のピンbと外部端子P3とを結んでいる。部品I1, I2の動作クロック周波数は10MHzである。

【0107】部品I5の動作クロック周波数は40MHzである。次に、図3は回路情報の例であり、図2の回路図に対応している。各々の部品ごとに、部品名、接続関係などの情報が記されている。この情報は回路情報入力手段より読み込まれる（ステップS4-1）。

【0108】次に、分割情報入力手段より分割の情報を読み込む。分割情報は、分割地点のネット名を指定するなどの方法で表される（ステップS4-2）。

【0109】次に、回路分割手段により回路全体を部分回路に分割する。分割には、ユーザに指定された分割地点のネット名以外のネットで接続する部分を一つの部分回路とするなどの方法を用いる。本実施例ではネットN5で分割する様に指定した場合、N6, N7に接続する部品I4, I5で一つの部分回路が決定され、N1～N4に接続する部品I1～I3で他の部分回路が決定される（ステップS4-3）。

【0110】図4は、回路全体を二つの部分回路に分割した場合の回路情報のデータ構造の例である。

【0111】NETLIST1～2は各々の部分回路の回路情報を示している。NETLIST1には部品I4とI5とが含まれてい



る。

【0112】NETLIST2には部品I1とI2とI3とが含まれている。次に、周波数決定手段により生成されたそれぞれの部分回路に対する周波数を計算する。部分回路の周波数は、部分回路の回路情報内のすべての動作クロック周波数の最小公倍数となる周波数を計算することにより求められる（ステップS4-4）。

【0113】図5は、各々の部分回路に対する周波数情報のデータ構造の例である。NETLIST1をシミュレーションするクロック周波数は40MHzであることを示している。

【0114】NETLIST2をシミュレーションするクロック周波数は10MHzであることを示している。

【0115】次に、中間信号値入出力決定手段により部分回路の入出力信号の情報を抽出する（ステップS4-5）。

【0116】図6は、それぞれの部分回路に対する中間信号値入出力情報のデータ構造の例である。

【0117】NETLIST1の入力信号はN5であり出力信号はN7であることを示している。信号値N7の中間信号値記憶手段における記憶場所はusr/data/N7であり、書き込み周波数は40MHzであることを示している。

【0118】NETLIST2の入力信号はN1とN2であり出力信号はN5であることを示している。信号値N5の中間信号値記憶手段における記憶場所はusr/data/N5であり、書き込み周波数は10MHzであることを示している。

【0119】次に、実行順序決定手段により部分回路の実行順序を決定する。実行順序は、部分回路の入出力信号の前後関係などにより決定する（ステップS4-6）。

【0120】図7は、部分回路の実行順序情報のデータ構造の例である。実行順序の決定は、部分回路の入出力信号の前後関係などにより決定する。本実施例では、NETLIST1の入力信号N5がNETLIST2の出力信号となっているためNETLIST1はNETLIST2よりも後の順序がつけられる。

【0121】順序1で実行するのはNETLIST2であることを示している。順序2で実行するのはNETLIST1であることを示している。

【0122】次に、シミュレーション命令列生成手段において実行順序情報と回路分割情報と周波数情報と中間信号値入出力情報とから順次シミュレーション命令を生成する。一つのシミュレーション実行命令は、一つの分割回路に対応する回路情報名と周波数とをシミュレーション手段に与えて起動するものである。実行順序情報にしたがって命令列を作成する（ステップS4-7）。

【0123】本実施例では、実行順序1である回路情報名netlist2と周波数10MHzで生成される命令1と実行順序2である回路情報名netlist1と周波数40MHzで生成される命令2とで命令列が生成される。

【0124】図15はシミュレーション命令列である。第一にクロック周波数10MHzでnetlist2をシミュレーシ

ョンすることを命令している。

【0125】第二にクロック周波数40MHzでnetlist1をシミュレーションすることを命令している。

【0126】図15のシミュレーション命令列にしたがってシミュレーションを実行することによりN7のシミュレーション結果を得ることができる（ステップS4-8）。

【0127】従来の技術では、回路全体を40MHzでシミュレーションしなければならないため、部品I1～I3を10MHzでシミュレーションした本発明に比べて余分な計算を必要としている。

【0128】（実施例5）以下、本発明の第5の実施例について説明する。

【0129】図16は本発明の実施例のシミュレーション装置の構成を示すものである。図16において、13はテストベクタを読み込むテストベクタ入力手段であって、設計された回路のテストボタンを読み込む手段である。

【0130】14は各々の部分回路に対応するテストベクタを生成するテストベクタ変換手段であって、周波数情報に基づいてテストベクタの周波数変換を行なう。

【0131】12はシミュレーション命令列生成手段であって、前記実行順序決定手段により生成された実行順序情報と前記回路分割手段により生成された部分回路情報前記周波数決定手段により決定された部分回路ごとの模擬周波数情報と前記中間信号値入出力設定手段により設定された中間信号値入出力情報と前記テストベクタ周波数変換手段により生成されたテストベクタ情報とに基づき、シミュレーションの対象となる部分回路と模擬周波数と中間信号値入出力情報とテストベクタとをシミュレーション手段に与えるシミュレーション命令列を生成する働きをする。

【0132】続いて、本実施例の動作を説明する。まず、テストベクタ入力手段においてテストベクタを読み込む（ステップS5-1）。

【0133】図9は、テストベクタの例である。外部ピンIN1は初期値として0が設定されている。

【0134】外部ピンIN2は初期値として0が設定されている。外部ピンIN1は100クロック目に値が1に変更されている。

【0135】外部ピンIN2は200クロック目に値が1に変更されている。外部ピンIN1は300クロック目に値が0に変更されている。

【0136】外部ピンIN2は400クロック目に値が0に変更されている。シミュレーションはクロック数500だけ行なうことが設定されている。

【0137】次に、テストベクタ変換手段においてテストベクタ入力手段により読み込まれたテストベクタから各々の部分回路の周波数に対応するテストベクタへの変換を行なう。テストベクタ変換は、シミュレーションの実行クロック数や信号値を変更するクロック数などを変

10

20

30

40

50

換することにより行なわれ、テストベクタとして指定されたクロック数に部分回路のクロック周波数と入力されたテストベクタのクロック周波数との比を掛け合わせることににより実現できる。

【0138】また、このとき各々の部分回路の入力でない信号値に関するテストベクタは削除してもよい（ステップS5-2）。

【0139】図10は、変更されたテストベクタの例である。TESTVECTOR1はNETLIST1に対応するテストベクタである。

【0140】TESTVECTOR2はNETLIST2に対応するテストベクタである。TESTVECTOR1では、NETLIST1の入力ピンにはIN1およびIN2はないため削除されている。周波数比は1であるため実行クロック数はそのままの値が設定されている。

【0141】TESTVECTOR2では、NETLIST2の入力ピンにはIN1およびIN2が含まれている。周波数比は1/4であるため、信号値を変更するクロック数および実行クロック数はそれぞれ1/4となっている。

【0142】次に、ステップS1-1～ステップS1-6を実行することによりシミュレーションの前処理を行なう（ステップS5-3）。

【0143】次に、シミュレーション命令列生成手段において実行順序情報と回路分割情報と周波数情報と中間信号値入出力情報とテストベクタ情報とから順次シミュレーション命令を生成する。一つのシミュレーション実行命令は、一つの分割回路に対応する回路情報名と周波数とテストベクタ名とをシミュレーション手段に与えて起動するものである。実行順序情報にしたがって命令列を作成する（ステップS5-4）。

【0144】本実施例では、実行順序1である回路情報名netlist2とテストベクタ名TESTVECTOR2と周波数10MHzで生成される命令1と実行順序2である回路情報名netlist1とテストベクタ名TESTVECTOR1と周波数40MHzで生成される命令2とで命令列が生成される。

【0145】図17はシミュレーション命令列である。第一にクロック周波数10MHzでTESTVECTOR2を用いてnetlist2をシミュレーションすることを命令している。

【0146】第二にクロック周波数40MHzでTESTVECTOR1を用いてnetlist1をシミュレーションすることを命令している。

【0147】図17のシミュレーション命令列にしたがってシミュレーションを実行することにより回路全体をシミュレーションでき、出力信号N7の信号値を得ることができる（ステップS5-5）。

【0148】（実施例6）以下、本発明の特許請求第6項の一実施例について説明する。

【0149】図18は本発明の実施例のシミュレーション装置の構成を示すものである。図18において、18は中間信号値入出力情報と周波数情報とに基づき中間信

号値変換手段の対象となる周波数比と中間信号を設定する中間信号値周波数変換設定手段であって、周波数変換の必要な信号名と変換する周波数比とを設定する働きをする。

【0150】12はシミュレーション命令列および周波数変換命令列生成手段であって、前記実行順序決定手段により生成された実行順序情報と前記回路分割手段により生成された部分回路情報と前記周波数決定手段により決定された部分回路ごとの模擬周波数情報と前記中間信号値入出力設定手段により設定された中間信号値入出力情報と前記中間信号値周波数変換設定手段により生成された中間信号値周波数変換情報とに基づきシミュレーションの対象となる部分回路と模擬周波数と中間信号値入出力情報をシミュレーション手段に与えるシミュレーション命令列と中間信号名と変換する周波数比とを中間信号値周波数変換手段に与える周波数変換命令列とを生成する働きをする。

【0151】16は中間信号値記憶手段に記憶された中間信号値の周波数変換を行ない再び中間信号値記憶手段に書き込む中間信号値周波数変換手段であって、シミュレーション結果である中間信号値の周波数変換を行なうことにより系統の異なるクロック周波数を用いる部分回路間の中間信号値をつなげる手段である。

【0152】続いて、本実施例の動作を説明する。まず、図12は、実施例の動作例において用いる回路である。

【0153】I1～I5は回路を構成する各部品の部品識別子である。部品I1, I2, I3, I4, I5の各部品の部品名は各々DFF, DFF, CP, AD, DFFである。

【0154】部品名DFFの部品はピン名が各々d, qの2つのピンを持っている。部品名ADの部品はピン名が各々a, b, oの3つのピンを持っている。

【0155】P1～P3は各々外部端子IN1, IN2, OUTである。N1～N6は各部品のピンを結ぶ各ネットのネット識別子である。

【0156】ネットN1は外部端子P1と部品I1のピンdとを結んでいる。ネットN2は外部端子P2と部品I2のピンdとを結んでいる。

【0157】ネットN3は部品I1のピンqと部品I3のピンaとを結んでいる。ネットN4は部品I2のピンqと部品I3のピンbとを結んでいる。

【0158】ネットN5は部品I3のピンoと部品I4のピンaとを結んでいる。ネットN6は部品I4のピンoと部品I5のピンdとを結んでいる。

【0159】ネットN7は部品I5のピンqと部品I4のピンbと外部端子P3とを結んでいる。部品I1, I2の動作クロック周波数は10MHzである。

【0160】部品I5の動作クロック周波数は25MHzである。次に、ステップS4-1～ステップS4-6を実行することによりシミュレーションの前処理を行なう（ステップS6

10

20

30

40

50

-1)。

【0161】次に、周波数変換設定手段において、中間信号値入出力情報と周波数情報とから周波数変換が必要な信号名と変換前後のクロック周波数とどのシミュレーション後に変換するかという情報を含んだ周波数変換情報を生成する(ステップS6-2)。

【0162】図19は周波数変換情報である。信号N5の信号値を部分回路2のシミュレーション終了後にクロック周波数10MHzから25MHzに変換することを意味している。

【0163】次に、シミュレーション命令列生成手段において実行順序情報と回路分割情報と周波数情報と中間信号値入出力情報とから順次シミュレーション命令を生成する。一つのシミュレーション実行命令は、一つの分割回路に対応する回路情報名と周波数とをシミュレーション手段に与えて起動するものである。実行順序情報にしたがって命令列を作成する。また、周波数変換情報から中間信号値周波数変換命令を生成する。一つの中間信号値周波数変換命令は、一つの中間信号とその信号値を出力した周波数と次に入力する周波数とを中間信号値周波数変換手段に与えて起動するものである。中間信号値周波数変換命令は、変換前の信号値が書き込まれたシミュレーション実行命令の直後に実行すれば良い(ステップS6-3)。

【0164】本実施例では、実行順序1である回路情報名netlist2と周波数10MHzで生成される命令1と実行順序2である回路情報名netlist1と周波数40MHzで生成される命令2と信号N5と10MHzと40MHzとで生成される命令1.1とで命令列が生成される。命令1.1は、命令1と命令2との間に実行される。

【0165】図20はシミュレーションおよび周波数変換命令列である。第一にクロック周波数10MHzでnetlist2をシミュレーションすることを命令している。

【0166】第二にクロック周波数10MHzからクロック周波数25MHzに信号値N5を変換することを命令している。

【0167】第三にクロック周波数25MHzでnetlist1をシミュレーションすることを命令している。

【0168】周波数変換は、読み込みデータ用時刻カウンタと書き込みデータ用時刻カウンタとを用意し、カウンタの時刻を比較しながら読み込みまたは書き込みを繰り返すなどの手法により実現できる。

【0169】図13は周波数変換前と変換後のデータ構造の例である。図20のシミュレーションおよび周波数変換命令列にしたがってシミュレーションおよび周波数変換を実行することによりN7のシミュレーション結果を得ることができる(ステップS6-4)。

【0170】従来の技術では、回路全体を50MHzでシミュレーションしなければならないため、部品I4~I5を25MHzでまた部品I1~I3を10MHzでシミュレーションする本

発明の場合に比べて余分な計算を必要としている。

【0171】

【発明の効果】本発明のシミュレーション装置によれば、分割された部分回路ごとに必要なクロック周波数でシミュレーションを行なうので、不要なシミュレーションにかかる時間を削減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のシミュレーション装置の構成図

10 【図2】本発明の第1および第4の実施例の動作例において用いる回路図

【図3】同実施例における回路図を表した回路情報の例を示す図

【図4】同実施例における部分回路の回路情報のデータ構造の例を示す図

【図5】同実施例における周波数情報のデータ構造の例を示す図

【図6】同実施例における中間信号値入出力情報のデータ構造の例を示す図

20 【図7】同実施例における部分回路の実行順序情報のデータ構造の例を示す図

【図8】本発明の第2の実施例のシミュレーション装置の構成図

【図9】本発明の第2および第5の実施例におけるテストベクタの例を示す図

【図10】同実施例における変更されたテストベクタの例を示す図

【図11】本発明の第3の実施例のシミュレーション装置の構成図

30 【図12】本発明の第3および第6の実施例の動作例において用いる回路図

【図13】同実施例における周波数変換前と変換後のデータ構造の例を示す図

【図14】本発明の第4の実施例のシミュレーション装置の構成図

【図15】同実施例におけるシミュレーション命令列を示す図

【図16】本発明の第5の実施例のシミュレーション装置の構成図

40 【図17】同実施例におけるシミュレーション命令列の例を示す図

【図18】本発明の第6の実施例のシミュレーション装置の構成図

【図19】同実施例における周波数変換情報の例を示す図

【図20】同実施例におけるシミュレーションおよび周波数変換命令列の例を示す図

【図21】従来のサイクルベースシミュレーションにおけるクロック図

50 【図22】従来のマルチクロックに対するサイクルベ

スシミュレーションのクロック図

【符号の説明】

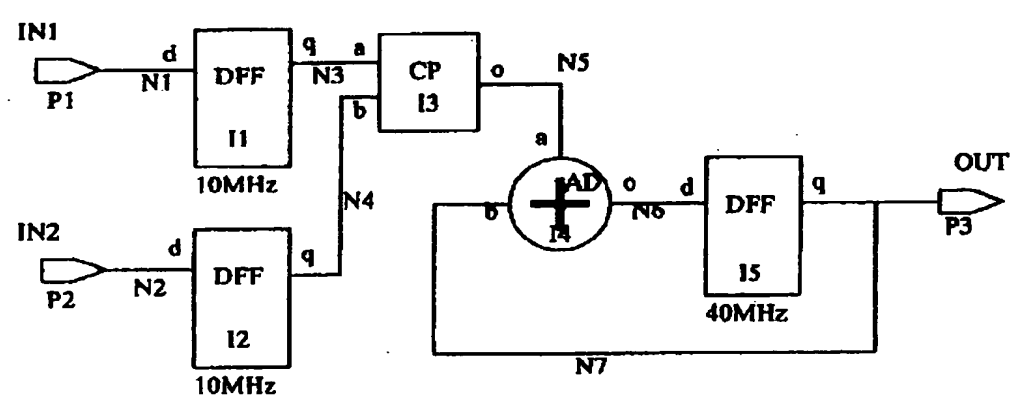
- 1 回路情報入力手段
- 2 分割情報入力手段
- 3 回路分割手段
- 4 周波数決定手段
- 5 中間信号値入出力決定手段
- 6 実行順序決定手段
- 7 シミュレーション手段
- 8 中間信号値記憶手段

9 部分回路切替手段

- 10 周波数切替手段
- 11 中間信号値入出力切替手段
- 13 テストベクタ入力手段
- 14 テストベクタ変換手段
- 15 テストベクタ切替手段
- 16 中間信号値周波数変換手段
- 17 中間信号値周波数変換切替手段
- 18 中間信号値周波数変換設定手段

【図 2】

【図 5】



NETLIST1	40MHz
NETLIST2	10MHz

【図 7】

1	NETLIST2
2	NETLIST1

【図 3】

【図 4】

I1::  
Type: DFF;  
Trigger: 10MHz  
input(d): N1;  
output(q): N3.

I2::  
Type: DFF;  
Trigger: 10MHz  
input(d): N2;  
output(q): N4.

I3::  
Type: CP;  
input(a): N3  
input(b): N4;  
output(o): N5.

I4::  
Type: ADD;  
input(a): N5;  
input(b): N7;  
output(o): N6.

I5::  
Type: DFF;  
Trigger: 40MHz  
input(d): N6;  
output(q): N7.

NETLIST1

I4::  
Type: ADD;  
input(a): N5;  
input(b): N7;  
output(o): N6.

I5::  
Type: DFF;  
Trigger: 40MHz  
input(d): N6;  
output(q): N7.

NETLIST2

I1::  
Type: DFF;  
Trigger: 10MHz  
input(d): N1;  
output(q): N3.

I2::  
Type: DFF;  
Trigger: 10MHz  
input(d): N2;  
output(q): N4.

I3::  
Type: CP;  
input(a): N3  
input(b): N4;  
output(o): N5.

【図 15】

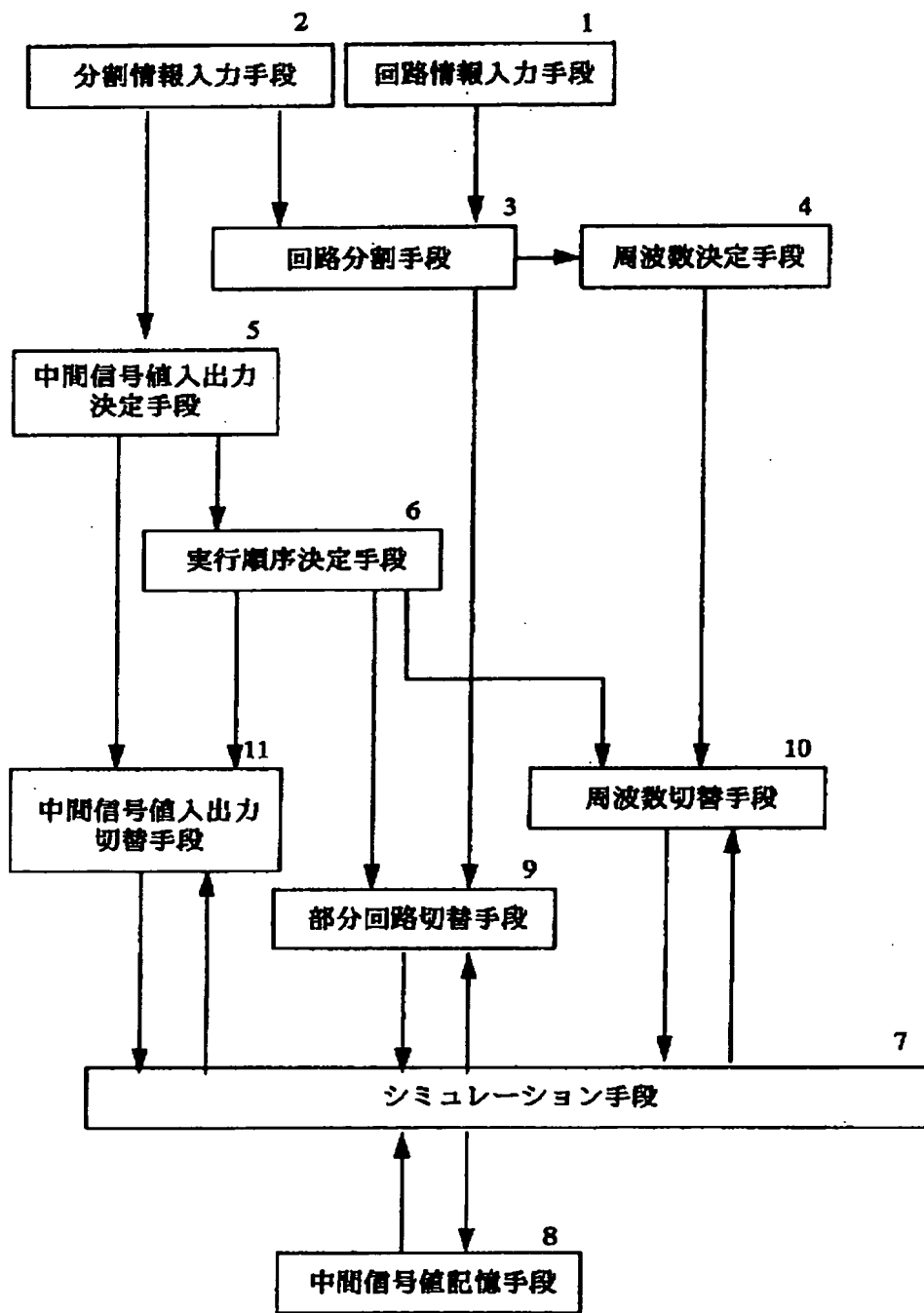
【図 19】

simulate netlist2 at 10MHz  
simulate netlist1 at 40MHz

N5	2	10MHz	25MHz
----	---	-------	-------

【図 1】

【図 9】



```

FORCE IN1 0 0
FORCE IN2 0 0

FORCE IN1 1 100
FORCE IN2 1 200

FORCE IN1 0 300
FORCE IN2 0 400

RUN 500
  
```

【図 17】

【図 20】

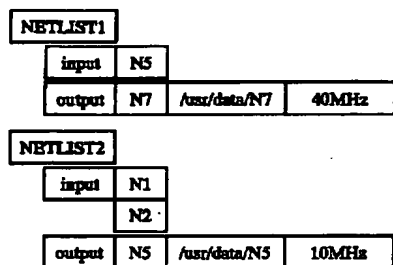
```

simulate netlist2 at 10MHz by TESTVECTOR2
simulate netlist1 at 40MHz by TESTVECTOR1
  
```

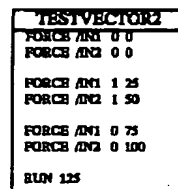
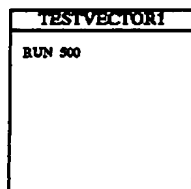
```

simulate netlist2 at 10MHz
modulate NS from 10MHz to 25MHz
simule netlist1 at 25MHz
  
```

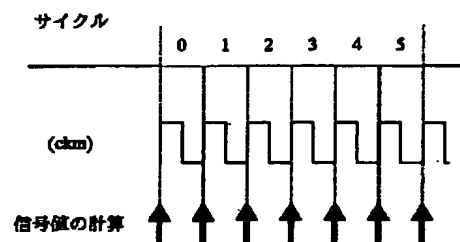
【図 6】



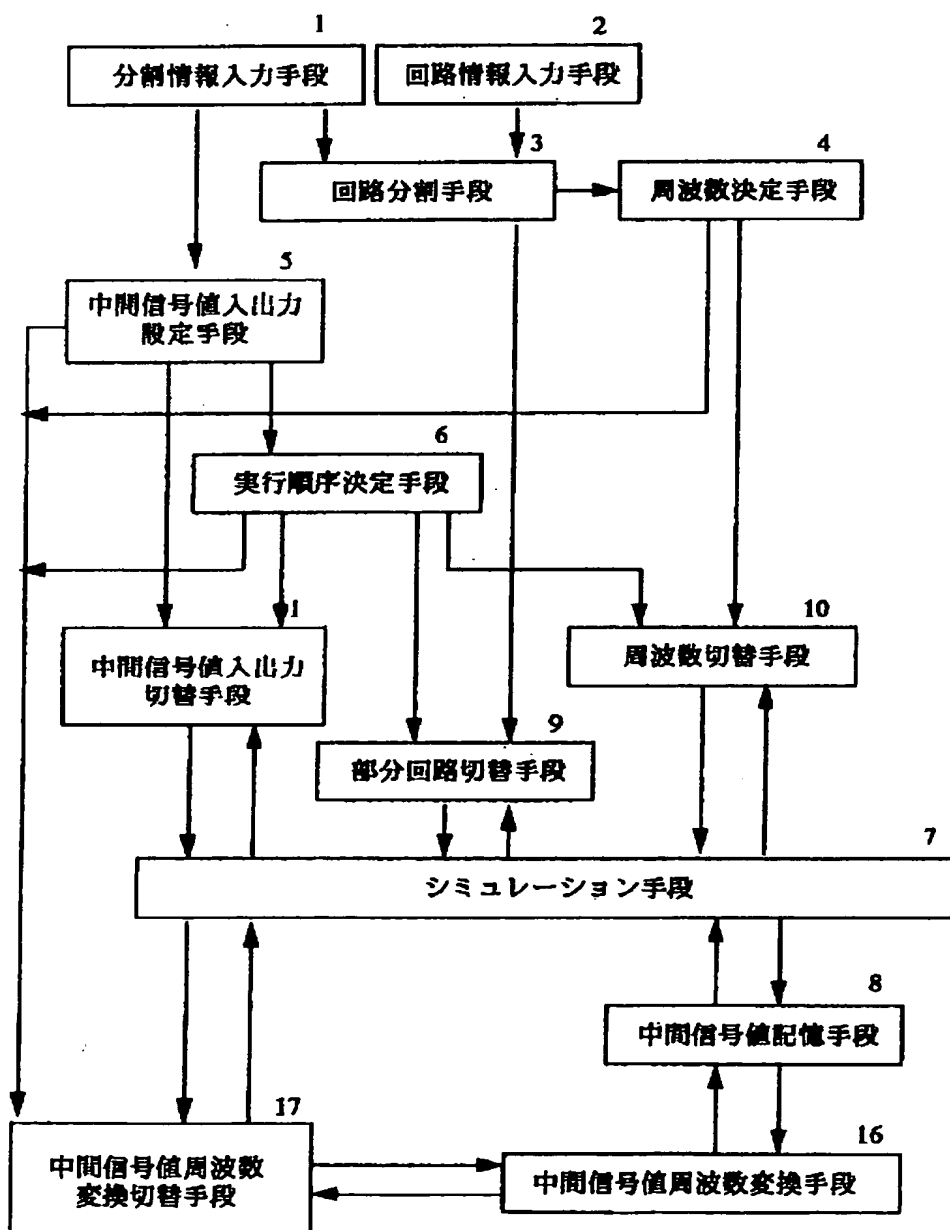
【図 10】



【図 21】



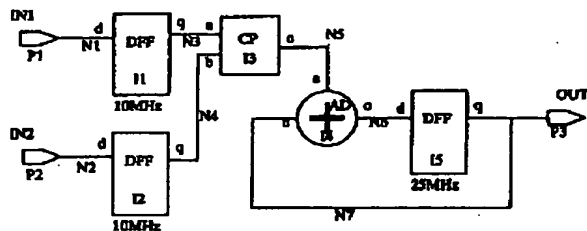
【図 11】



15



【図 1 2】

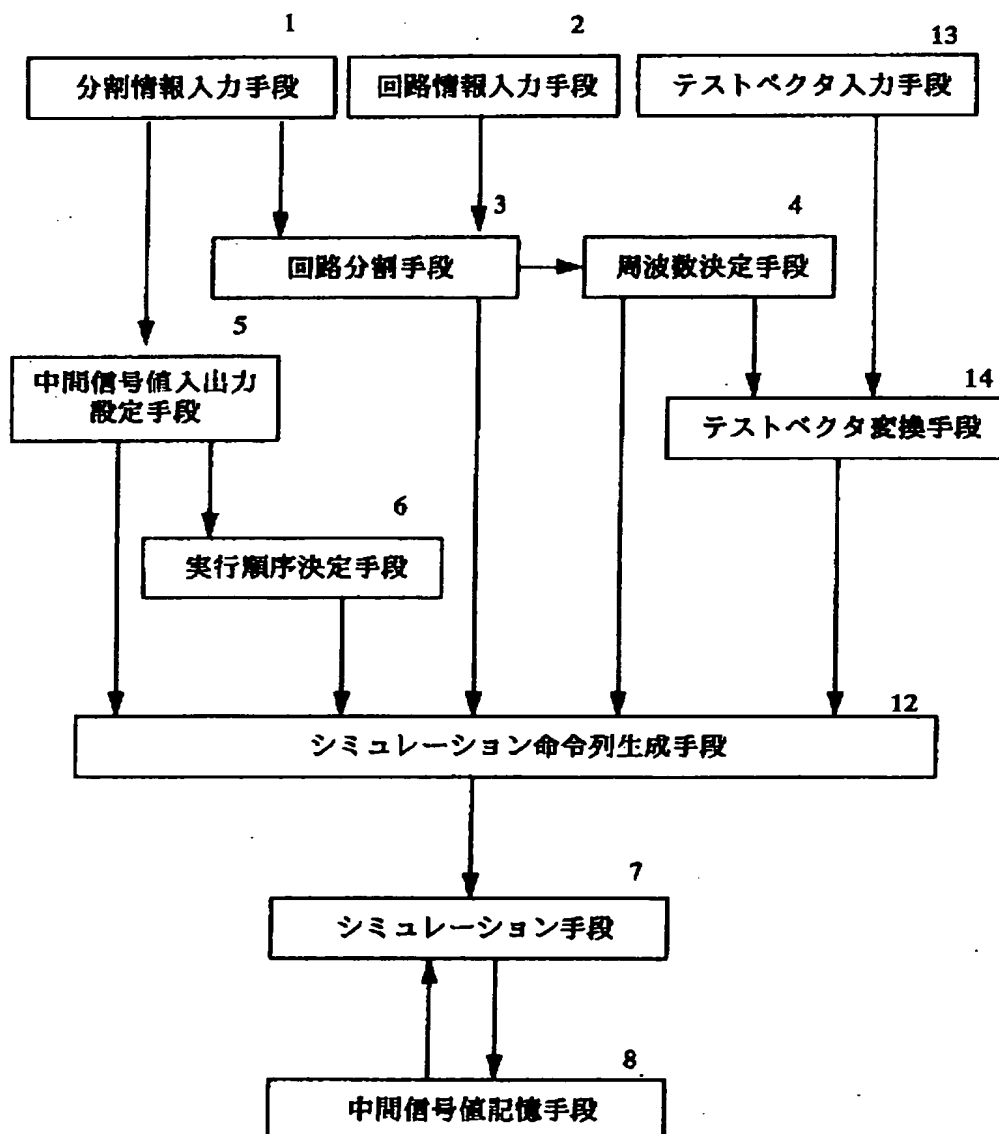


【図 1 3】

信号名	N3
周波数	10MHz
信号値	30 0 15 3 8 26 ...

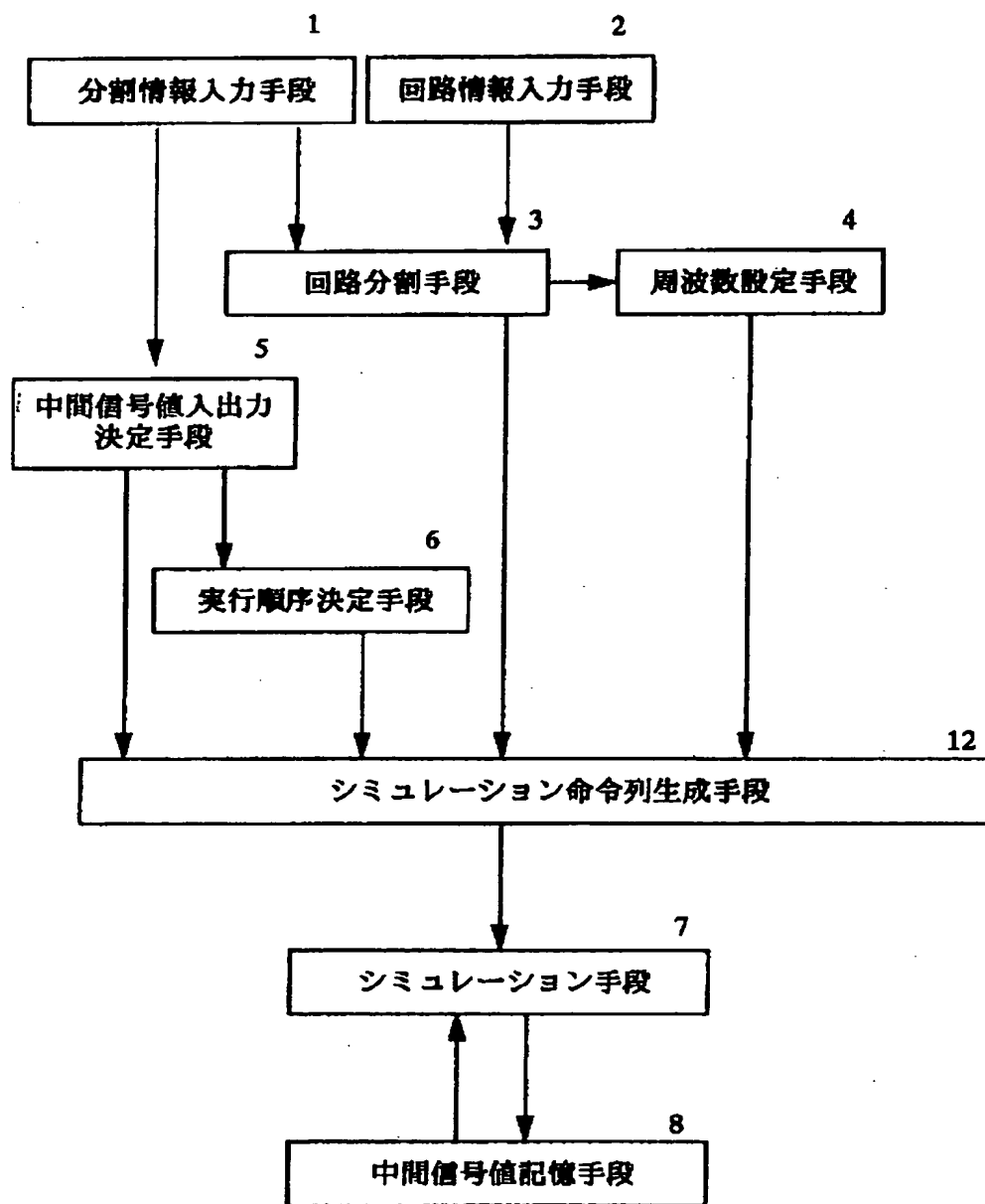
信号名	N5
周波数	25MHz
信号値	30 30 0 0 0 15 15 3 ...

【図 1 6】

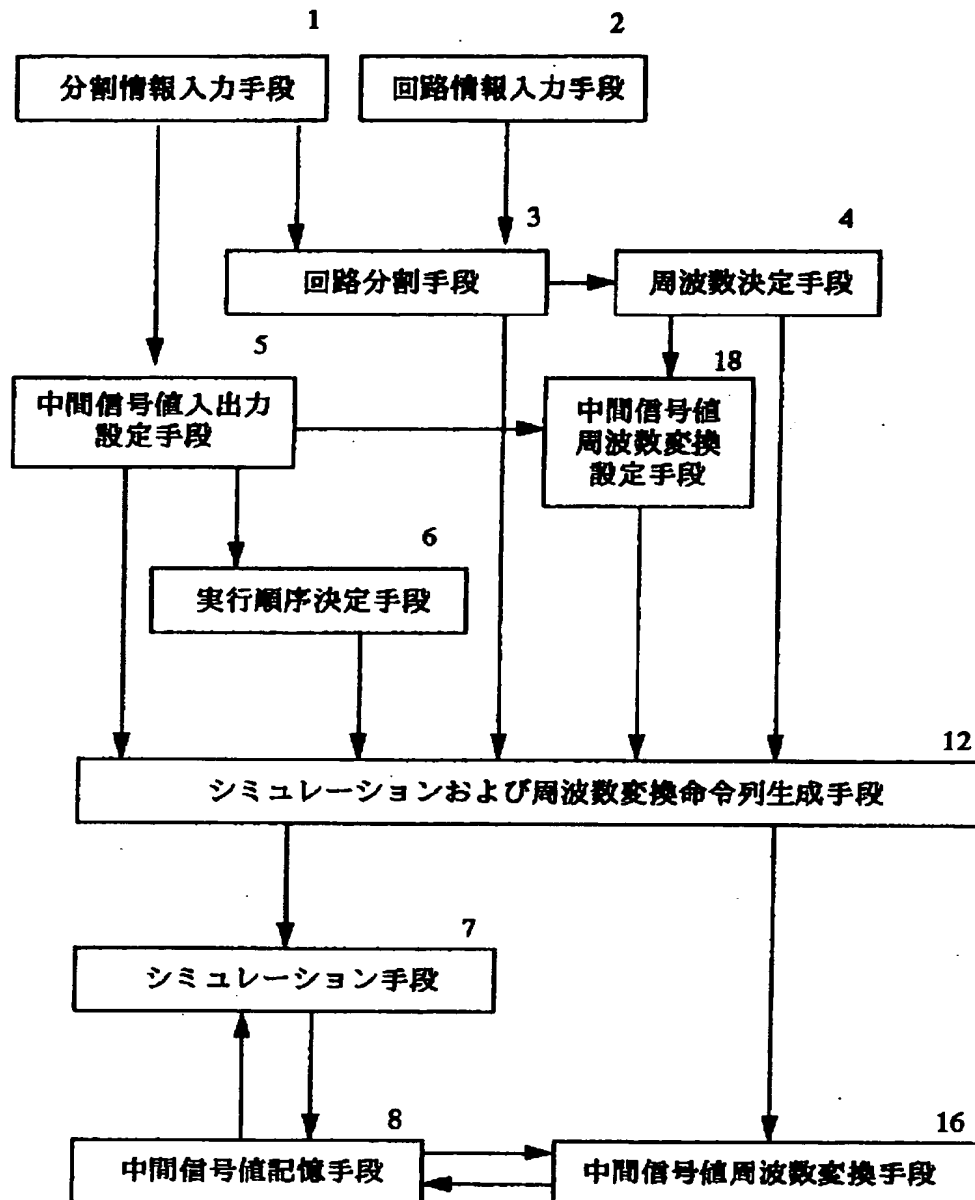




【図 1 4】



【図 18】



【図 2 2】

